

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-330188  
(P2002-330188A)

(43)公開日 平成14年11月15日(2002.11.15)

(51) Int.Cl.<sup>7</sup>

### 識別記号

F I  
H 04 L 27/00

テーマコード(参考)

宋本草书 七言诗 隋书卷第13 Q1 (6-11页)

(21)出願番号 特願2002-61556(P2002-61556)  
(22)出願日 平成14年3月7日(2002.3.7)  
(31)優先権主張番号 09/804585  
(32)優先日 平成13年3月12日(2001.3.12)  
(33)優先権主張国 米国(U.S.)

(71) 出願人 390009597  
モトローラ・インコーポレイテッド  
MOTOROLA INCORPORATED  
RED  
アメリカ合衆国イリノイ州シャンバーグ、  
イースト・アルゴンクイン・ロード1303  
(72) 発明者 グレゴリー アガミ  
アメリカ合衆国 60004 イリノイ州 ア  
ーリントン ハイツ エス. ランマー ア  
ベニュー 520  
(74) 代理人 100068755  
弁理士 鶴田 博宣 (外1名)

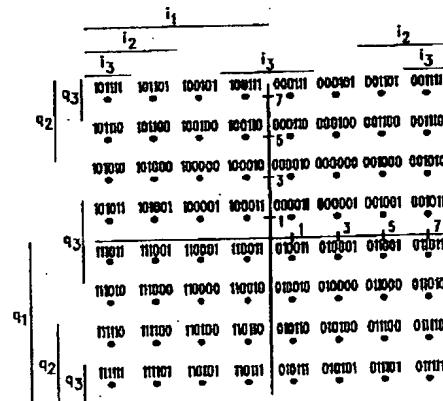
最終頁に統く

(54) 【発明の名稱】 OAM信量のピット対数比演算の方法と装置

(57)【要約】

【課題】 対数尤度比の演算時間を低減するために、通信システムにおいて伝送されるM-ary QAM変調済記号内の各ビットに対する対数尤度比を効率的に算出するための方法と装置を提供する。

【解決手段】 本方法と装置は、復調済記号内のビット各々に対する対数尤度比を求める際必要な距離演算数を低減するために、QAM記号集合の平方カルノマッピングの特性を利用する。この演算数の低減によって、特に高次のM-ary QAMシステムの場合、対数尤度比を求める際に必要な時間が大幅に低減される。



PH 30141

corresponds to us 6834088

## 【特許請求の範囲】

【請求項1】 通信システムにおいて送信される記号の各ビットの対数尤度比を演算するための方法であって、対応する特性を有する所定のマッピング方式に基づき、1つ以上のビットから構成される記号を変調する段階と、

前記変調された記号を少なくとも1つの受信器に送信する段階と、

前記変調された記号を受信し、少なくとも1つの受信器で前記変調された記号を復調する段階と、

前記所定のマッピング方式の前記対応する特性に基づく所定の論理条件により、対数尤度比を求めるために用いられる演算ステップを省くことによって、前記復調された記号の前記1つ以上の各ビットに対して、対応する対数尤度比を計算する段階と、を含むことを特徴とする方法。

【請求項2】 請求項1に記載の方法であって、

前記所定のマッピング方式には、平方カルノマッピングが含まれ、また、3ビット以上を有する記号中における各記号の所定の2ビットを除き、前記所定のマッピング方式の前記対応する特性には、前記集合の前記各記号における前記1つ以上のビット全てに対して、横軸及び縦軸に関する記号値集合の線対称性が含まれ、また、前記2つの所定のビットは、前記横軸及び縦軸のそれぞれ対向する側にある記号の場合反対の値を有することを特徴とする方法。

【請求項3】 請求項2に記載の方法であって、

前記記号値は、符号ビット、1つ以上の整数ビット、1つ以上の少数ビットを有する2の補数としてフォーマット化され、

前記所定の論理条件は、

a) 2の補数の、前記符号ビット、前記1つ以上の整数ビット、及び前記1つ以上の少数ビットを用いて、前記横軸及び縦軸の方向において中間差演算を実施することを含み、前記差演算は、前記カルノマッピングされた記号集合における前記記号ビットの非対称及び対称特性に基づき、複数の異なる値を実現し、

b) また、前記復調済記号の各特定のビットに対して予め定められた選択基準に基づき、前記複数の異なる値から1つ以上の値を選択することによって、対応する1及びゼロのビット値をそれぞれ有する前記カルノマッピングされた記号集合の対応する2つの最近接集合点に対して、前記受信された復調済記号における各ビットの2つの最小距離を求めることを含み、前記選択基準は、前記カルノマッピングの特性に基づいており、

c) さらに、各ビットの前記求められた2つの最小距離を平方し、前記平方の差をとり前記復調された記号の各ビットの前記対数尤度比を得ることを含む、ことを特徴とする方法。

【請求項4】 請求項1に記載の方法であって、

前記記号は、1og<sub>2</sub>Mビットから構成され、またM-ary直交振幅変調方式に基づき変調され、前記M-ary直交振幅変調方式は、64個の記号を有し、また各記号は6ビットから構成されることを特徴とする方法。

【請求項5】 通信システムによって受信される復調済記号の各ビットの対数尤度比を求めるための装置であって、

M-ary直交振幅変調に基づき変調された復調済記号を受信するように構成された受信部と、

前記受信された復調済記号の1つ以上の特性を求めるように構成された組合せ論理回路と、

複数の第1加算装置であって、各々、前記受信された復調済記号の一部へ対応する値の対応する加算処理を実施し、その結果生じる対応する値を出力するように構成された前記第1加算装置と、

対をなして配置された複数のマルチブレクサであって、各々、1つ以上の前記複数の第1加算装置から、前記結果値の特定の値を受信するように構成され、また、前記組合せ論理回路によって求められた前記受信された復調済記号における前記1つ以上の特性の内、少なくとも1つの状態に基づいて前記入力された結果値の1つを出力する前記マルチブレクサと、

前記複数のマルチブレクサに対応して、対をなして配置された複数の平方ブロックであって、各々、対応する1つの前記複数のマルチブレクサに接続され、前記対応するマルチブレクサによって出力された前記特定の結果を平方するように構成された前記平方ブロックと、

複数の第2加算装置であって、各々、対応して配置された前記複数の平方ブロックの出力間における差を演算するように構成された前記第2加算装置と、を含み、前記差は、前記復調済記号の特定ビットに対する対数尤度比を表すことを特徴とする装置。

【請求項6】 請求項5に記載の装置であって、前記復調済記号は、平方カルノマッピング方式を含む所定のマッピング方式に基づき変調され、前記複数の第1加算装置の加算処理は、前記カルノマッピング方式の特性に基づき予め決定されることを特徴とする装置。

【請求項7】 請求項6に記載の装置であって、前記カルノマッピング方式の特性には、3ビット以上を有する記号中における各記号の所定の2ビットを除き、前記集合の前記各記号における前記1つ以上のビット全てに対して、横軸及び縦軸に関する記号値集合の線対称性が含まれ、また、前記2つの所定のビットは、前記横軸及び縦軸のそれぞれ対向する側にある記号の場合反対の値を有し、また、前記2つの所定ビットの各ビットの場合、1つの軸の片側にある記号は、第1の2進数値に設定された前記所定のビットを有し、前記軸の他の対向する側にある残りの記号は、第2の2進数値に設定された前記所定の有効ビットを有することを特徴とする装置。

【請求項8】 請求項5に記載の装置であって、前記組合せ論理回路によって求められる前記1つ以上の特性には、前記復調済記号の符号と、記号のカルノマッピング集合の軸と前記軸上の所定値を基準とした前記復調済記号の位置情報と、が含まれることを特徴とする装置。

【請求項9】 請求項5に記載の装置であって、前記複数の第1加算装置は、並列に配置され、第1クロックによって制御される出力装置を有し、

前記複数のマルチブレクサは、並列に配置され、第2クロックによって制御される出力装置を有し、

前記複数の第2加算装置は、並列に配置され、第3クロックによって制御される出力装置を有することを特徴とする装置。

【請求項10】 請求項5に記載の装置であって、前記復調済記号値は、符号ビット、1つ以上の整数ビット、1つ以上の少数ビットを有する2の補数としてフォーマット化され、前記受信部は、前記記号値を、前記符号ビット、前記1つ以上の整数ビット、前記1つ以上の少数ビットに分離し、前記記号の絶対値を導出するように構成されたことを特徴とする装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般的に通信システムに関し、特に、符号分割多元接続(CDMA)システムにおいて伝送に供する符号化データビットの復調及び復号化のための方法に関する。

【0002】

【従来の技術】 様々な通信システムがこの分野では知られている。多くのシステムにおいて、情報信号が搬送信号に変調され、第1の地点から第2の地点へ伝送される。第2の地点では、この情報信号は復調され元に戻される。

【0003】 通常、そのようなシステムで用いられる通信経路は、帯域幅等の様々な制約を有している。その結果、実用上は、与えられた時間の間、通信経路がサポートし得る情報の品質を制約する上限が存在する。他の変調手法に対して、通信経路の情報処理量を効果的に増やす様々な変調手法が提案されている。

【0004】 1つの変調手法は、M-ary直交振幅変調(QAM)である。QAMは、(各々異なる組合せの位相と振幅を有することによって互いに識別される)M個の変調値の集合を提供し、ここで各集合点は、複数の情報ビットを表す。CDMAシステムにおいてスペクトル効率を大きくするために、例えば、より高次の変調が用いられる。一般的に、M-ary QAMシステムにおいて各記号によって表されるビットの数は、 $\log_2 M$ に等しい。例えば、16QAMは、各々10g, 16すなわち4つの情報ビットを表す16個の異なる集合点

10

20

30

40

50

(I及びQ軸を有する複素デカルト平面の各象限において4つの点)を用いる。他の例は、64-QAMであるが、ここでは、64個の集合点が各々10g, 64すなわち6つの情報ビットの組合せを表す。

【0005】 図1は、複素数の実数部(すなわち、I)を表す横軸と虚数部(すなわち、Q)を表す縦軸によって定義される複素平面上において、各々6ビットの組合せを表す64点のマップである64-QAM通信システム用の集合を示す。通信チャネル上で送信されるQAM情報記号(更にバイロット及び同期記号)は、ある基準からの搬送波の振幅と位相角変位を用いて、情報を搬送するために変調される搬送信号の離散的なパケットである。QAM情報記号は、(原点からの長さ又は距離として表される)大きさと(座標軸の1つを基準にして測る角度)位相角を有するベクトルで表す複素量として図1の集合上に表される。(ビットが情報源からの直列ビットストリームからの)6個の2進数字の起こり得る64個の異なるビットパターンに対応する64個の異なる大きさと位相角の組合せを有する64-QAMシステムにおいて、集合上の64点は各々、6ビットの1つの組合せを表すものとして識別される。

【0006】 (直交座標において $5I + 5Q$ として表され、長さ $= (5^2 + 5^2) / 2$ と $5 / \sqrt{2}$ の逆正接すなわち実数軸に対して45度に等しい位相角102を有する)ベクトル100は、集合において点104を指す。この点は、一連の6個の2進数字(例、000000)を表すものとして図1に示される。点106(-11-1Q)によって表される他のQAM記号がこの集合中に図示されており、もう1つの一連の6個の2進数字(例、110011)を表している。

【0007】 どのような変調方式の場合でも、変調器は、受信した符号化ビットの対数尤度比(LLR)を復調器に提供するのが好ましい。図2に示すように、CDMAシステムの受信器200には、復調器204から復調済記号を受信し、復調済記号の各ビットに対するLLRを算出する対数尤度比演算器202が含まれる。復号器206は、対数尤度比演算器202によって演算されたLLRを受信し、受信したLLRに基づき個々のビットを復号する。

【0008】 二次元の変調(つまり、IとQ成分を有する変調)が、2bps/Hzより大きいスペクトル効率を生み出す場合、各符号化されたビットは、直交記号成分にマッピングできない。その結果、ビットLLRは、復調済記号と集合記号間のユークリッド距離から算出せねばならない。時間kにおいて受信された記号y(y,と呼ぶ)に対応する実際の各j番目ビットのLLRは、次の関係式によって求められる。

【0009】

【数1】

$$LLR(u_{k,j}) = \log \left\{ \frac{P(u_{k,j} = 0 | y_k)}{P(u_{k,j} = 1 | y_k)} \right\}^5$$

ここで、 $u_{k,j}$  は、時間  $k$  における記号  $u$  の仮定  $j$  番目ビット値であり、 $P$  は、 $y_k$  が受信された記号である場合、 $u_k$  の  $j$  番目のビットがゼロ又は 1 の 2 進数の値である確率を表す。この式は、送信された記号が全て同じ確率で発生するものと仮定すると、次の数式になる。

【0010】

【数2】

$$P(y_k | u_k) = p(y'_k, y'_k | u'_k, u'_k) = p(y'_k | u'_k) p(y'_k | u'_k)$$

加算的なガウス分布の雑音を仮定すると、上記式は次の数式になる。

【0012】

【数4】

$$P(y_k | u_k) = \frac{1}{2\pi\sigma^2} \exp \frac{-D^2}{2\sigma^2}$$

ここで、 $D_k^2$  は、受信された記号と仮定記号間の平方ユークリッド距離、 $\sigma^2$  は、ガウス分布雑音の分散である。従って、平方ユークリッド距離  $D_k^2$  は、次の関係式によって表されるように、実数 ( $r$ ) と虚数 ( $i$ ) 成分の両方の受信された記号と仮定記号間の差の平方を加算することによって算出される。

【0013】

【数5】

$$D_k^2 = |y_k - u_k|^2 = (y'_k - u'_k)^2 + (y'_k - u'_k)^2$$

式 (4) を式 (2) に代入すると、平方ユークリッド距離に基づき LLR を算出することができ、次の関係式を得る。

【0014】

【数6】

$$LLR(u_{k,j}) = \log \sum_{u_k=u_{k,j}=0}^{\frac{-D_k^2}{2\sigma^2}} e^{\frac{-D_k^2}{2\sigma^2}} - \log \sum_{u_k=u_{k,j}=1}^{\frac{-D_k^2}{2\sigma^2}} e^{\frac{-D_k^2}{2\sigma^2}}$$

この関係式は、1 及びゼロの値をそれぞれ有する受信された記号と仮定記号間の最小平方距離の差を単純にとることによって近似し得る。従って、式 (6) は次の関係式になり、LLR を近似する。

【0015】

【数7】

$$LLR(u_{k,j}) = \min_{u_k=u_{k,j}=1} [D_k^2] - \min_{u_k=u_{k,j}=0} [D_k^2]$$

ここで、記号中のビット  $u_{k,j}$  の LLR は、その特定のビットが 1 に等しい場合、受信された記号と QAM 集合点間の最小距離の差を演算することによって、また、その特定のビットがゼロに等しい場合、受信された記号と QAM 集合点間の最小距離を演算することによって求められる。M - ary QAM システムにおいて、 $m$  が記号

$$LLR(u_{k,j}) = \log \left\{ \frac{\sum_{u_j=u_{k,j}=0} P(y_k | u_k)}{\sum_{u_j=u_{k,j}=1} P(y_k | u_k)} \right\}^6$$

確率  $P$  は、チャネル補正が完璧であることを仮定すると、実数と虚数成分が独立であるように、次の関係式によって表される。

【0011】

\*10 【数3】

$$P(y_k | u_k) = p(y'_k, y'_k | u'_k, u'_k) = p(y'_k | u'_k) p(y'_k | u'_k)$$

当たりのビット数である場合、 $M$  個の記号は  $2^m$  に等しい。従って、 $m$  個の LLR 演算が、1 变調記号当たり必要である（すなわち、その記号中の  $m$  個のビット各々に對する LLR を求める場合）。 $m$  個の LLR 計算を求めるために、まず、記号の QAM 集合において、受信された QAM 記号と各 QAM 記号間の  $M$  個の平方ユークリッド距離 ( $D^2$ ) を求めなければならない。上記の数学的な演算によって、各受信された变調記号に対する LLR 値の演算には、 $M$  個の平方ユークリッド距離の演算（すなわち、各々 2 つの乗算と 1 つの加算が伴う  $D^2$  計算）、その記号中における  $m$  ビット全ての 1 及びゼロの特定のビット値に対応する最小平方ユークリッド距離を求めるためのビット当たり  $M$  個の比較／選択（すなわち、 $u = 1$  の場合、 $m \times n D^2$  値 ( $u = 0$  の場合、 $M / 2$  個の比較／選択と  $m \times n D^2$  値の数 ( $M / 2$  個の比較／選択)、次にこの合計への記号中における  $m$  個の総ビットによる乗算、及び上記式 (7) に示す値の間の差を 30 求めるための  $m$  個の加算が必要である。従って、受信された QAM 变調記号当たり必要な演算の総数は、 $2M$  個の乗算プラス  $M \times M$  個の比較／選択プラス  $M + m$  個の加算である。

【0016】

【発明が解決しようとする課題】本出願が教示する内容は、様々なクロックレートの如何なるレートでも利点を有するが、低減されたフレーム処理時間を図示するために、CDMA システムのクロックレートを  $32 \times 1.2288 \text{ MHz}$  又は  $39.3216 \text{ MHz}$  であると仮定する。通常、乗算処理を完了するには 2 クロック周期、加算処理には 1 クロック周期、比較／選択処理には 2 クロック周期が必要である。従って、例えば、記号当たり 6 ビットの 5376 個の記号を含む 64-QAM 变調によるフレームの処理に要する時間は、約  $150 \text{ ms}$  である。この時間の長さは、高速データチャネルに必要な 5 乃至  $20 \text{ ms}$  フレームターンアラウンドタイムよりかなり大きいため問題になる。並列化やバイオペラ化等の手法を用いて、演算時間を低減してもよいが、それでも、受信器スループット率を高速データチャネルにおけるフレームターンアラウンドタイム程度に低減する

には不充分である。

【0017】従って、LLRの演算時間を、QAM変調済記号をビット復調する受信器におけるフレーム時間の程度に低減する必要があり、特に64-QAM等高次の場合、必要である。

【0018】

【課題を解決するための手段】上述の問題点は、本発明が開示する方法と装置によって解決される。具体的には、QAM信号を特定のマッピング方式でマッピングすることによって、所定の特定のマッピング方式の特性に基づいて演算段階を省き、QAM記号の各ビットに対する対数尤度比の計算時間を低減できる。好適には、この信号はカルノマッピングされ、またグレイコード化され、これによって、QAM集合の対称特性に基づき演算段階が省けるように、この集合に対称性が導入される。

【0019】具体的には、本発明によれば、通信システムにおいて送信される記号の各ビットの対数尤度比を演算するための方法であって、対応する特性を有する所定のマッピング方式に基づき、1つ以上のビットから構成される記号を変調する段階と、前記変調された記号を少なくとも1つの受信器に送信する段階と、前記変調された記号を受信し、少なくとも1つの受信器で前記変調された記号を復調する段階と、前記所定のマッピング方式の前記対応する特性に基づく所定の論理条件により、対数尤度比を求めるために用いられる演算ステップを省くことによって、前記復調された記号の前記1つ以上の各ビットに対して、対応する対数尤度比を計算する段階と、を含むことを特徴とする方法が提供される。

【0020】上記方法において、前記所定のマッピング方式には、平方カルノマッピングが含まれ、また、3ビット以上を有する記号中における各記号の所定の2ビットを除き、前記所定のマッピング方式の前記対応する特性には、前記集合の前記各記号における前記1つ以上のビット全てに対して、横軸及び縦軸に関する記号値集合の線対称性が含まれ、また、前記2つの所定のビットは、前記横軸及び縦軸のそれぞれ対向する側にある記号の場合反対の値を有する。

【0021】これにおいて、前記記号値は、符号ビット、1つ以上の整数ビット、1つ以上の少数ビットを有する2の補数としてフォーマット化され、前記所定の論理条件は、a) 2の補数の、前記符号ビット、前記1つ以上の整数ビット、及び前記1つ以上の少数ビットを用いて、前記横軸及び縦軸の方向において中間差演算を実施することを含み、前記差演算は、前記カルノマッピングされた記号集合における前記記号ビットの非対称及び対称特性に基づき、複数の異なる値を実現し、b) また、前記復調済記号の各特定のビットに対して予め定められた選択基準に基づき、前記複数の異なる値から1つ以上の値を選択することによって、対応する1及びゼロのビット値をそれぞれ有する前記カルノマッピングされ

た記号集合の対応する2つの最近接集合点に対して、前記受信された復調済記号における各ビットの2つの最小距離を求ることを含み、前記選択基準は、前記カルノマッピングの特性に基づいており、c) さらに、各ビットの前記求められた2つの最小距離を平方し、前記平方の差をとり前記復調された記号の各ビットの前記対数尤度比を得ることを含む。

【0022】上記方法において、前記記号は、10g, Mビットから構成され、またM-ary直交振幅変調方式に基づき変調され、前記M-ary直交振幅変調方式は、64個の記号を有し、また各記号は6ビットから構成される。

【0023】本発明によれば、また、通信システムによって受信される復調済記号の各ビットの対数尤度比を求めるための装置であって、M-ary直交振幅変調に基づき変調された復調済記号を受信するように構成された受信部と、前記受信された復調済記号の1つ以上の特性を求めるように構成された組合せ論理回路と、複数の第1加算装置であって、各々、前記受信された復調済記号の一部へ対応する値の対応する加算処理を実施し、その結果生じる対応する値を出力するように構成された前記第1加算装置と、対をなして配置された複数のマルチブレクサであって、各々、1つ以上の前記複数の第1加算装置から、前記結果値の特定の値を受信するように構成され、また、前記組合せ論理回路によって求められた前記受信された復調済記号における前記1つ以上の特性の内、少なくとも1つの状態に基づいて前記入力された結果値の1つを出力する前記マルチブレクサと、前記複数のマルチブレクサに対応して、対をなして配置された複数の平方ブロックであって、各々、対応する1つの前記複数のマルチブレクサに接続され、前記対応するマルチブレクサによって出力された前記特定の結果を平方するように構成された前記平方ブロックと、複数の第2加算装置であって、各々、対応して配置された前記複数の平方ブロックの出力間における差を演算するように構成された前記第2加算装置と、を含み、前記差は、前記復調済記号の特定ビットに対する対数尤度比を表すことを特徴とする装置が提供される。

【0024】上記装置において、前記復調済記号は、平方カルノマッピング方式を含む所定のマッピング方式に基づき変調され、前記複数の第1加算装置の加算処理は、前記カルノマッピング方式の特性に基づき予め決定される。

【0025】これにおいて、前記カルノマッピング方式の特性には、3ビット以上を有する記号中における各記号の所定の2ビットを除き、前記集合の前記各記号における前記1つ以上のビット全てに対して、横軸及び縦軸に関する記号値集合の線対称性が含まれ、また、前記2つの所定のビットは、前記横軸及び縦軸のそれぞれ対向する側にある記号の場合反対の値を有し、また、前記2

つの所定ビットの各ビットの場合、1つの軸の片側にある記号は、第1の2進数値に設定された前記所定のビットを有し、前記軸の他の対向する側にある残りの記号は、第2の2進数値に設定された前記所定の有効ビットを有する。

【0026】また、前記組合せ論理回路によって求められる前記1つ以上の特性には、前記復調済記号の符号と、記号のカルノマッピング集合の軸と前記軸上の所定値を基準とした前記復調済記号の位置情報と、が含まれる。

【0027】さらに、前記複数の第1加算装置は、並列に配置され、第1クロックによって制御される出力装置を有し、前記複数のマルチブレクサは、並列に配置され、第2クロックによって制御される出力装置を有し、前記複数の第2加算装置は、並列に配置され、第3クロックによって制御される出力装置を有する。

【0028】また、前記復調済記号値は、符号ビット、1つ以上の整数ビット、1つ以上の少數ビットを有する2の補数としてフォーマット化され、前記受信部は、前記記号値を、前記符号ビット、前記1つ以上の整数ビット、前記1つ以上の少數ビットに分離し、前記記号の絶対値を導出するように構成される。

【0029】

【発明の実施の形態】図3は、一例として64-QAM正方集合を示すが、この64個の各点は、6ビットの特定のビット配列に対応している。6ビットの各配列は、最上位ビットから最下位ビットまで  $i_1, q_1, i_2, q_2, i_3, q_3$  の形式で表記されている。重要なことは、“i”ビットは各々、縦座標であるQ軸とは独立であり、

“q”ビットは各々、横座標であるI軸とは独立なことである。例えば、“i”ビットは、図3のデカルト座標の“i”すなわち横座標軸に沿って（すなわち、行に沿って）変化するが、“Q”すなわち縦座標軸方向の集合点は全て常に同じである（すなわち、横座標方向の列間で変化する）。例えば、Q軸右の第2列にあるビット  $i_1$  は全てゼロであり、一方Q軸右の第3列の記号用  $i_1$  ビットは全て1である。カルノマッピングされたQAM信号のこの性質を更に示すために、座標上部と座標左側に示す線は、ビット値が1である集合点の部分集合を表し、一方、線の無い所は、対応するビット値がゼロである点の部分集合を表す。例えば、ビット  $i_1$  の値が1に等しい点の部分集合は全てデカルト平面の左半分にあり、一方  $i_1$  の値がゼロに等しい点の部分集合は右半分の平面にある。

【0030】以下の検討において、特定ビットに対する集合の真領域とは、そのビットの値が所望の値に等しい点の部分集合を指す。偽領域は真領域の補集合である。例として、  $i_1$  がゼロに等しい場合、図3に示すように真領域は右側平面であり、偽領域は左側平面である。他の例として、ビット  $q_1$  がゼロに等しい集合点の部分集

合の場合、真領域は、図3におけるデカルト座標の横軸上方及び下方の第2行と第3行から構成され、偽領域は、横軸上方及び下方の第1行と第4行から構成される。

【0031】更に、カルノマッピングされたQAM信号はまた、任意の記号に隣接する記号が1ビット値だけ変化するように、グレイコード化される。例えば、ビット000000を表す記号300は、4つの集合点302、304、306、308、と隣り合っており、2つはI方向に又2つはQ方向にあり、これらは1ビット値だけ異なる。例えば、直下に位置する点302の値は、000001であり、この場合、ビット  $q_1$  のみ値が異なっている。

【0032】復調済記号のソフト値は、以下の関係による2の補数としてフォーマット化される。

$$I = s \times \dots \times \dots \times s \cdot i \cdot f$$

ここで、  $i$  は整数部ビットを指し、  $f$  は少數部ビットであり、  $s$  は符号ビットを表す。数学的には、  $I$  は以下の式で表すことができる。

20 【0033】

【数8】

$$I = -s2^{N-1} + \sum_{k=0}^{N-2} i_k 2^k + \sum_{k=1}^M f_k 2^{-k} = -s2^{N-1} + i + f$$

これは、  $N$  個の整数ビットと  $M$  個の少數部ビットで表される数の場合である。復調されたQAM記号もまた  $I + jQ$  の形で表される。

【0034】図3に示すカルノマッピングされたQAM信号集合の特定の性質と特性によって、LLR演算が簡略化される。1つの特性として、図3の集合は、デカルト平面の対向する半分の平面上で反対の値をそれぞれ有する2つの最上位ビット  $i_1$  と  $q_1$  を除く全てのビットに対して、水平I軸と垂直Q軸に関して線対称である。2つの最上位ビットを除く他のビットがデカルト平面の対向する半分の平面上で反対の値を有するように、記号のカルノマッピングは異なってもよいことに留意されたい。しかしながら、一般的に、2ビットのみが線対称ではなく、これらの2ビットは1つの  $i$  ビットと1つの  $q$  ビットから構成される。他の特徴として、ビット  $i_1$  又は  $q_1$  の対数尤度比は、復調済記号の直交成分とは独立である。具体的には、ビット  $i_1$  はQ直交成分とは独立であり、またビット  $q_1$  はI直交成分とは独立である。従って、上記式 (7) で与えられたように、平方ユークリッド距離の演算は、大幅に簡略化できるが、これは、この演算には水平距離か垂直距離のいずれかを含めばよく、両方を含む必要が無いためである。従って、  $i_1$  と  $q_1$  ビットに対する対数尤度比の演算は、それぞれ以下の式によって与えられる。

40 【0035】

50 【数9】

11

$$LLR(i_j) = \min(\Delta I_j^1)^2 - \min(\Delta I_j^0)^2$$

【数10】

$$LLR(q_j) = \min(\Delta Q_j^1)^2 - \min(\Delta Q_j^0)^2$$

ここで、 $\Delta I_1$  と  $\Delta Q_1$  はそれぞれ、復調済記号とビットの値がゼロか1のいずれかに等しい点との間の水平及び垂直距離である。

【0036】LLR演算を簡略化し得るカルノマッピングされた信号のまた他の性質として、復調済記号が特定のビットの偽領域にある場合、最近接点は、真領域と偽領域の間の境界線に最も近い行又は列にある。従って、最近接点までの距離は、復調済記号から境界線までの距離の大きさに1をプラスした値となる。ここでは1の値が加算されるが、これは、図3のカルノマップにおける境界線が、2の距離で間隔を置いた行と列の中間に設定されるためである。従って、行又は列からそれらの中間にある境界線までの距離は1である。しかしながら、他の実施形態では、2以外の行と列間の距離を用いる場合、復調済記号から境界線までの距離の大きさに異なる値が加えられることがある。更に、復調済記号が特定のビットに対して真領域にある場合、最近接点までの距離は、復調済記号成分Iの整数部分iが偶数であるか奇数であるかによって、小数部分f又は $1-f$ に等しい。

【0037】次に、これらの特性に基づき、本発明の教示によりアルゴリズムをフォーマット化し、これによって、各ビットのLLRを計算する演算の数を低減する。以下の検討において開示するアルゴリズムは64-QA M集合の場合である。

【0038】上述の数式9を用いて、最上位ビット  $i_1$  に対する対数尤度比は以下の数式を用いて算出する。

【0039】

【数11】

$$LLR(i_1) = \min(\Delta I_1^1)^2 - \min(\Delta I_1^0)^2$$

ここで、 $i_1$  は、第1ビット  $I_1$  の2の補数でフォーマット化された点である。この場合、復調済記号ビット  $I_1$  と値がゼロのビット  $I_1$  を有する集合点との間の最小距離は、最上位ビットがゼロに等しくなる32記号全ての平方ユークリッド距離を計算するよりもむしろ、以下の関係を用いて求めることができる。

【0040】まず、Iの値がゼロ以下である場合、復調済記号は、図3に示すデカルト平面の左側にあることが知られている。従って、次に、ゼロに等しい  $i_1$  ビットを有する集合点までの最小距離は、1（すなわち、この値は任意であるが、図3に示すように好適には1であり、ここで、集合点の第1列は横座標軸上で1の値に設定されている）プラスIの絶対値（すなわち、Iはゼロ以下すなわち負であるため絶対値を採用しなければならない）になる。

10

12

【0041】次に、Iの値がゼロより大きい場合、ゼロに等しいビット  $I_1$  を有する集合点までの最小距離は、復調済記号の値Iの整数部が偶数であるか奇数であるかによって、容易に求め得る。整数部が奇数の場合、最小値は2の補数でフォーマット化された復調済記号の小数部に簡単に等しい。例えば、復調済記号の位置がデカルト平面のI方向において3.9である場合、最も近い集合点は、値が3の第2列の集合点になる。従って、復調済記号と集合点間のI軸に沿った距離は、0.9であり、これはIの小数部fである。一方、復調済2の補数記号の整数部iが偶数の場合、最小値は $1-f$ に等しい。例えば、復調済記号がI方向において4.1にある場合、最も近い集合点は、デカルト平面のI軸に沿う5の第3列にある。従って、距離は、1マイナス小数部f（すなわち、0.1）、すなわち、0.9である。

20

【0042】最後に、復調済記号がデカルト平面のI軸上で値8を超える位置にある場合、最上位ビット  $i_1$  がゼロに等しい集合記号までの最小距離は、値Iと7の右にある最終列間との差になる。しかしながら、デカルト平面上で7と8の間にある復調済記号値は、先に検討した条件によって既に明らかにされており、距離は数式1プラスIマイナス8で算出される。

20

【0043】前述の条件は、数学的に  $i_1 = 0$  として以下のように示される。

【0044】

【数12】

$$\begin{aligned} \min(\Delta I_1^0) &= 1+|I| & I \leq 0 \\ & f & I > 0, \text{整数} \text{は奇数} \\ & 1-f & I > 0, \text{整数} \text{は偶数} \\ & 1+I-8 & I > 8 \end{aligned}$$

30

同様に、ビット  $i_1 = 1$  の場合、復調済記号と集合点間の距離の最小値は、以下に挙げる自明の条件を用いて算出し得る。

【0045】

【数13】

$$\begin{aligned} \min(\Delta I_1^1) &= 1+|I| & I > 0 \\ & f & I \leq 0, \text{整数} \text{は奇数} \\ & 1-f & I \leq 0, \text{整数} \text{は偶数} \\ & 1+I-8 & I < -8 \end{aligned}$$

40

復調済のI記号値がQ軸上にある場合、右半分のデカルト平面における点がゼロとなるように、任意にアルゴリズムが設定されることに留意されたい。しかしながら、一方、ゼロ値は、左半分のデカルト平面における値の一部であると考え得る。

50

【0046】同様に、ビット  $i_2$  のLLRを求める場合、更に図3に示すカルノマッピングされた集合の特性を利用して、LLRの導出に必要な演算の数を低減する。ここで、 $i_2$  ビットは、デカルト平面両側の外側2

列に対して同じであり、一方Q軸の各側の内側2列は、それらの特定の集合点に対して同じ値である。従って、カットオフ点は値4であり、この値は、Q軸のいざれかの側にある2領域間に位置する。以下、それぞれ  $i_2$  値がゼロ及び1に等しい場合の最小距離を求めるアルゴリズム中で用いる特定の数式であり、また上記数式9を利用して  $i_2$  のLLRを求めるために用いる数式でもある。

【0047】  $i_2 = 0$  と仮定すると、

【0048】

【数14】

$$\min(\Delta I_2^0) = \begin{cases} 1 + (|I| - 4) & |I| \geq 0 \\ f & |I| < 4, \text{整数 } i \text{ は奇数} \\ 1-f & |I| < 4, \text{整数 } i \text{ は偶数} \end{cases}$$

$i_2 = 1$  と仮定すると、

【0049】

【数15】

$$\min(\Delta I_2^1) = \begin{cases} 1 + (4 - |I|) & |I| < 4 \\ f & |I| \geq 4, \text{整数 } i \text{ は奇数} \\ 1-f & |I| \geq 4, \text{整数 } i \text{ は偶数} \\ 1 + (|I| - 8) & |I| > 8 \end{cases}$$

最後に、最終  $i$  ビット  $i_2$  を計算するために、カルノマッピングされた集合の特定の特性を再度利用して、このビットに対するLLRを求めるために必要な平方ユークリッド距離の演算を低減する。以下は、 $i_2$  に対して同じビット値を有するQ軸の両側にある内側と外側の列の特性を有する図3の特定のカルノマッピングされた64-QAM集合に対して、 $i_2$  に対するLLRの演算に用いる条件である。

【0050】  $i_2 = 0$  と仮定すると、

【0051】

【数16】

$$\min(\Delta I_2^0) = \begin{cases} 1 + (2 - |I|) & |I| < 2 \\ 1 + (|I| - 6) & |I| > 6 \\ f & 2 \leq |I| \leq 6, \text{整数 } i \text{ は奇数} \\ 1-f & 2 \leq |I| \leq 6, \text{整数 } i \text{ は偶数} \end{cases}$$

$i_2 = 1$  と仮定すると、

【0052】

【数17】

$$\min(\Delta I_2^1) = \begin{cases} 1 + (|I| - 2) & 2 \leq |I| < 4 \\ 1 + (6 - |I|) & 4 \leq |I| < 6 \\ f & |I| < 2, \text{整数 } i \text{ は奇数} \\ 1-f & |I| < 2, \text{整数 } i \text{ は偶数} \\ f & 6 \leq |I| < 8, \text{整数 } i \text{ は奇数} \\ 1-f & 6 \leq |I| < 8, \text{整数 } i \text{ は偶数} \\ 1 + (|I| - 8) & |I| \geq 8 \end{cases}$$

更に、 $Q_1$  ビットもまた、距離がI方向ではなくQ方向である点を除いて、 $i_2$  ビットに対して用いる同じ手法を用いて算出する。以下は、ビット  $Q_1$  のLLRを求めるためのアルゴリズムに用いる数式の例である。

【0053】  $q_1 = 0$  と仮定すると、

【0054】

【数18】

$$\min(\Delta Q_1^0) = \begin{cases} 1 + |Q| & Q \leq 0 \\ f & Q > 0, \text{整数 } q \text{ は奇数} \\ 1-f & Q > 0, \text{整数 } q \text{ は偶数} \\ 1 + Q - 8 & Q > 8 \end{cases}$$

$q_1 = 1$  と仮定すると、

【0055】

【数19】

$$\min(\Delta Q_1^1) = \begin{cases} 1 + |Q| & Q > 0 \\ f & Q \leq 0, \text{整数 } q \text{ は奇数} \\ 1-f & Q \leq 0, \text{整数 } q \text{ は偶数} \\ 1 + Q - 8 & Q < -8 \end{cases}$$

本検討では、上述したビット  $i_2$  と  $i_3$  それぞれの演算に対して必然的な結果であることから、ビット  $Q_1$  と  $Q_2$  に対するLLRの演算の検討は割愛する。

【0056】図4に、前述のアルゴリズムの実施に用い得る論理装置のブロック図を示す。この装置は、図2に示すように対数尤度比演算器202内で用い得る。特に、 $s$   $i$   $f$  の2の補数形態でフォーマット化される復調済記号は、この論理装置に入力され、ここで個々の成分が、符号  $s$ 、整数及び小数部  $i$   $f$  (整数部  $i$  は単独、また小数部  $f$  は単独)に分割される。2の補数記号を各成分に分割する前に、絶対値ブロック402を用いて、2の補数記号から符号部  $S$  を除く。この値は各々組合せ論理回路404に入力され、次に、入力された値によって多数のフラグを演算する。例えば、 $I$  の値がゼロより大きい場合、論理回路404はフラグを出力し、整数値がそれそれ偶数又は奇数の場合あるいは $I$  の絶対値が特定の数値を上回る又は下回る間にある場合、偶数か奇数の表示を出力する。論理回路によってこれらのフラグが用いられ、後述するように、様々な入力のいずれを出力するかを判断し、また様々な入力のいずれがI軸方向の様々な値を基準とした $I$  の位置を本質的に示すかを判断する。

【0057】論理回路には、多数の加算ブロック、406、408、410、412、414、416、418、420、422、424が含まれ、これらは全て受信記号の絶対値 $|I|$ を入力として受信する。この値に対して、様々な値が加算又は減算され、その結果生じる値は各決定マルチブレクサへの入力に用いられる。しかしながら、決定マルチブレクサへの入力前に、加算ブロックから生じる値は、クロックΦ1で同期が取られるD

フリップフロップ（すなわち、426、428、430、432、434、436、438、440、442及び442）によって時間制御される。従って、これらの値は全て、同時に並列計算され、決定マルチブレクサに送られる。これら決定マルチブレクサの各々は、2つ以上の入力ビットを受信するが、これは組合せ論理回路404から出力されるフラグ値から構成される。更に、マルチブレクサ各々を用いて、以下の式で示す最小距離を表す入力の1つから構成される値を出力する。

【0058】

【数20】

$$\Delta I_1^0, \Delta I_1^1, \Delta I_2^0, \Delta I_2^1, \Delta I_3^0, \Delta I_3^1$$

マルチブレクサが outputする決定値は、入力された特定のフラグ値に基づいており、また特定のビット  $I_1$  や、距離がゼロの値あるいは1の値に対応するのかに基づき、最小距離を求める前述の条件に対応する。更に、マルチブレクサは対になってゼロと1の両方に対応して  $\Delta I_1$  値を出力することに留意されたい。例えば、マルチブレクサ446と454はそれぞれ、以下の式で示す値を、クロック $\phi$ 2でトリガがかけられるD同期フリップフロップ448と456に出力する。

【0059】

【数21】

$$\Delta I_1^0$$

【数22】

$$\Delta I_1^1$$

図4からわかるように、ビット  $I_1$  と  $I_1$  に対する  $\Delta I$  値を求めるために、マルチブレクサの同様の対（例えば、462と470、また478と486）がそれぞれ配置される。Dフリップフロップ448、456、464、472、480、488は全て同時に同期が取られ、ゼロ又は1の値に対応する  $\Delta I_1$  の値を、そこに入力される値を平方するように配置された乗算器（すなわち、450、458、466、474、482、490）にそれぞれ送る。乗算器を各々対（すなわち、450と458、466と474、482と490）にした場合、平方された結果生じた値が、平方された最小距離を減算するそれぞれの加算ブロック452、468、484に出力され、これによって、数式7において前に述べた関係に基づきLLRを算出する。各加算ブロック452、468、484は、同期が取られたDフリップフロップに入力されるが、これらは、クロック $\phi$ 3で並列に同期が取られ、 $I_1$  ビットに対するLLR値を同時に outputする。Q成分のLLRを演算するために用いる装置は、図4に示す装置と同一であることに留意されたい。

【0060】図4の構成の利点は、全ての動作が論理的な組合せであり、これによって、動作の実行は单一クロ

ックと同期が取られ、また单一クロック周期内で実施し得ることである。従って、組合せ論理回路404から出力されるフラグの演算と、Dフリップフロップ426、428、430、432、434、436、438、440、442、444によって出力される中間演算は（Q成分に対しても同様）、单一クロック周期内で実施できる。同様に、最小距離は、マルチブレクサとそれらに伴うフラグ入力装置を介して、同様に单一クロック周期上で導き出し得る。入力値を平方するように構成された乗算器が実行する乗算動作は、実行に2クロック周期が必要である。最後に、ラッピングされたLLRは、クロック $\phi$ 3からの单一クロック周期内でDフリップフロップ460、476、492を介して送られる。

【0061】従って、復調済記号のLLR演算に必要なクロック周期の総数は5である。従って、5376個の記号フレームの処理時間は、既に用いた同じ  $32 \times 1.2288\text{MHz}$  のクロックレートを仮定した場合、約0.684ミリ秒である。例えば、図4に示す装置を用いて実施する上述のアルゴリズムを用いると、5376

個の64-QAM記号フレームに対するビットLLRの演算に必要な時間は、約150ミリ秒から1ミリ秒未満に低減される。従って、64-QAM変調システムにおけるビットLLRの演算は、高速データチャネルの場合も実行可能である。

【0062】

【発明の効果】上述した本出願の教示により、高速データ通信チャネルにおけるビット復号を実行可能な形で用い得るようにする64-QAM記号通信システムにおいてビットLLRの演算に必要な時間が極めて大幅に低減される。本方法と装置は、64-QAMのみならず、記号の集合が平方カルノマッピングされ得るあらゆるM-ary QAM変調システムにも適用されることに留意されたい。更に、添付の請求項とそれらと同等なもの公正な範囲から逸脱することなく、上述の具体的に開示した実施形態以外の他の実施形態も考慮し得ることは、当業者には明らかであろう。

【図面の簡単な説明】

【図1】 64-QAMシステムの記号を示すデカルト座標のグラフ。

【図2】 通信システムにおける受信器のブロック図。

【図3】 デカルト座標のグラフであり、本発明の教示内容に基づく64-QAM通信システムにおけるカルノマッピング、グレイコード化した集合記号を示す。

【図4】 本発明の教示内容に基づく64-QAM通信システムにおける各I成分ビットに対するLLR値を算出するために用いる論理回路の概略図。

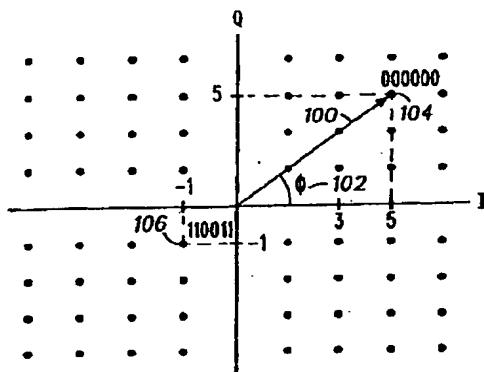
【符号の説明】

I … 実数軸、Q … 虚数軸、104 … 点、100 … ベクトル、102 … 位相角、106 … 点、200 … 受信器、202 … 対数尤度比演算器、204 …

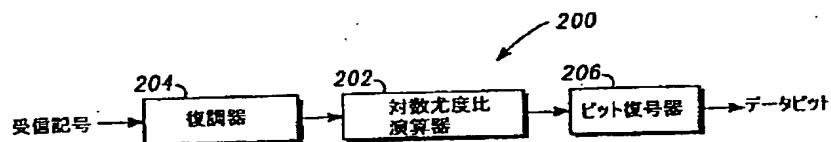
復調器、206… ビット復号器、402… 組合せ論理回路、406、408、410、412、414、416、418、420、422、424… 加算ブロック、426、428、430、432、434、436、438、440、44\*

\* 2、444、448、456、460、464、472、476、480、488、492… Dフリップフロップ、450、458、466、474、482、490… 乗算器、446、454、462、470、478、486… マルチプレクサ。

【図1】



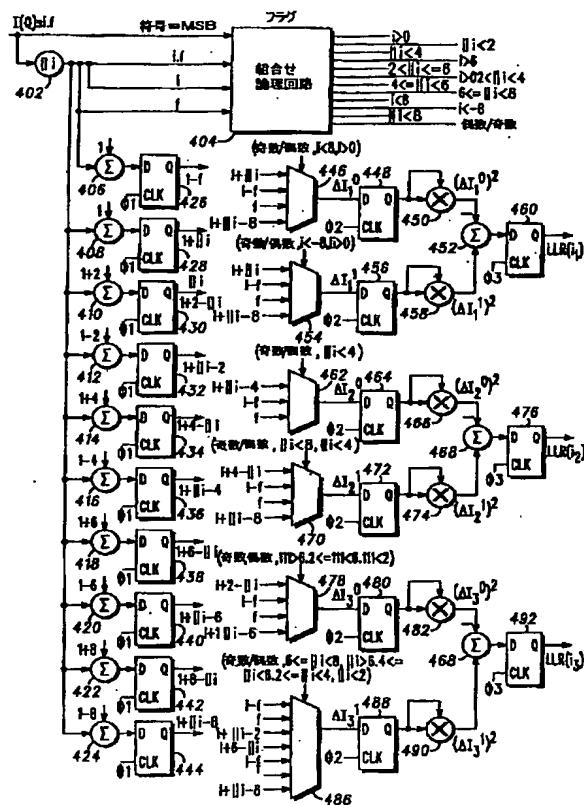
【図2】



【図3】

		$i_1$			$i_2$			$i_3$		
		$i_1$			$i_2$			$i_3$		
		$i_1$			$i_2$			$i_3$		
$q_3$		101111	101101	100101	100111	000111	000101	001101	001111	
$q_2$		101110	101100	100100	100110	000110	000100	001100	001110	
$q_3$		101010	101000	100000	100010	000010	000000	001000	001010	
$q_2$		101011	101001	100001	100011	000011	000001	001001	001011	
$q_3$		111011	111001	110001	110011	010011	010001	011001	011011	
$q_2$		111010	111000	110000	110010	010010	010000	011000	011010	
$q_1$		111110	111100	110100	110110	010110	010100	011100	011110	
$q_2$	$q_3$	111111	111101	110101	110111	010111	010101	011101	011111	

【図4】



フロントページの続き

(72)発明者 ロバート ジョン コーク  
 アメリカ合衆国 60137 イリノイ州 グ  
 レン エリン ブランドン アベニュー  
 97

(72)発明者 ロン ロトシュタイン  
 アメリカ合衆国 60004 イリノイ州 ア  
 ーリントン ハイツ ダブリュ. ウエスト  
 ン ドライブ 1203  
 F ターム(参考) 5K004 AA08 JA02 JG01

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-330188  
(43)Date of publication of application : 15.11.2002

(51)Int.Cl.

H04L 27/38

(21)Application number : 2002-061556  
(22)Date of filing : 07.03.2002

(71)Applicant : MOTOROLA INC  
(72)Inventor : AGAMI GREGORY  
CORKE ROBERT J  
ROTSTEIN RON

(30)Priority

Priority number : 2001 804585 Priority date : 12.03.2001 Priority country : US

## (54) METHOD AND DEVICE FOR CALCULATING LOG LIKELIHOOD RATIO OF BITS IN QAM SIGNALS

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a method and device for effectively calculating log likelihood ratio on each bit in M-aryQAM modulated signals transmitted in a communication system, in order to reduce the time for calculating log likelihood ratio.

SOLUTION: This method and device uses characteristics of the square Carnot mapping in QAM code set in order to reduce the number of distance calculation needed in determining log likelihood ratio on each bit in M-aryQAM modulated signals. The reduction of number of the calculation reduces the much more time needed in determining the log likelihood ratio, especially in the case of higher order M-aryQAM system.

